

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA 62-272384

(11) Publication number: 62272384 A

(43) Date of publication of application: 26.11.87

(51) Int. Cl. G06K 17/00
G11C 5/00
G11C 7/00

(21) Application number: 61117896

(71) Applicant: SHARP CORP

(22) Date of filing: 20.05.86

(72) Inventor: OKITA YOSHINORI

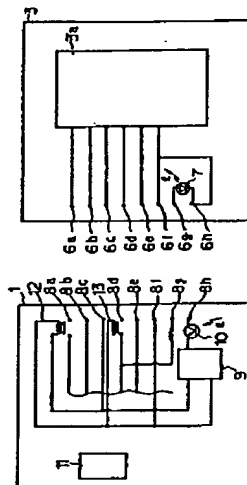
(54) PROCESSOR FOR IC CARD

COPYRIGHT: (C)1987,JPO&Japio

(57) Abstract:

PURPOSE: To prevent trouble for insertion by closing a switch only when an IC card is inserted and preventing a power supply terminal from being short-circuited to an earth terminal with a conductive member other than the IC card.

CONSTITUTION: When an IC card 3 is inserted to a processor 1, terminals 8g and 6g are brought into contact with each other and a current flows to a light emitting diode, and a phototransistor 10 is made conductive by reception of the emitted light, and a delay circuit 9 is operated to turn on lead switches 12 and 13. Terminals 6a and 6d of the IC card 3 are electrically connected to a power source 11 of the processor 1, and a main body circuit 3a of the IC card 3 starts driving. Each if a card-shaped conductive member like an iron plate is inserted to the processor 1, the photodiode 10 does not detect light emission, and therefore, the delay circuit 9 is not operated, and terminals 8a and 8d and an earth terminal 8f are not short-circuited.



⑫ 公開特許公報(A)

昭62-272384

⑬ Int. Cl.⁴

G 06 K 17/00

G 11 C 5/00

7/00

識別記号

3 1 5

庁内整理番号

B-6711-5B

6549-5B

6549-5B

⑭ 公開 昭和62年(1987)11月26日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ICカードの処理装置

⑯ 特 願 昭61-117896

⑰ 出 願 昭61(1986)5月20日

⑱ 発 明 者 大 喜 多 義 憲 大阪市阿倍野区長池町22番22号 シャープ株式会社内
⑲ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号
⑳ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

ICカードの処理装置

2. 特許請求の範囲

1. ICカードが挿入され、当該ICカードに対してデータの書込、読出を行う処理装置であって、

電源と、

前記ICカードの挿入時に当該ICカードの回路と接続する電源供給用端子と、

前記電源と前記電源供給用端子間を開閉するスイッチと、

ICカードが挿入されたときに前記スイッチを閉じるスイッチ閉成手段と、

を具備することを特徴とするICカードの処理装置。

3. 発明の詳細な説明

<技術分野>

本発明は、ICカードが挿入され、当該ICカードに対してデータ読出、書込を行う処理装置に

関し、ICカードの挿入時に当該ICカードの回路と接続する電源供給用端子と電源間をスイッチによって開閉制御し、ICカードが挿入されたときにのみ前記スイッチを閉成し、前記ICカードの回路部に電源供給を成す様にしたものに関する。
<従来技術>

ICカードは、第5図に示す通り、8ピンから成るコンタクト端子14を備え、当該コンタクト端子14中の2端子14a、14bが電源取込用の端子となっている。

又、第6図に示すものがICカードの処理装置であって、当該処理装置にも、前記ICカードの端子14に対応して8ピンから成るコンタクト端子15が設けられている。

そして、前記端子14aと接触すべき端子15a及び前記端子14bと接触すべき端子15bは、夫々、ICカードの回路部16に電源を供給する電源供給用端子であって、両端子15a及び15bは処理装置内に設けられている電源(図示せず)と配線で電氣的に接続されている。なお、端子

14c及び15cはアース端子となっている。

かかる従来の処理装置によると、ICカードの代わりに、鉄板等の導電性を有するカード状部材が挿入された場合、当該カード状部材によって前記処理装置の電源と接続している電源供給用端子15a及び15b並びにアース端子15cがショートすることが起こり、それが原因で処理装置が破壊されるという問題があった。

なお、第5図中の端子14d及び14e、並びに、第6図中の端子15d及び15eは、スプアーの入出力端子で、通常は、ノンコネクタ端子となっている。

<発明の目的>

本発明は、上記の事情に鑑み、処理装置の電源供給用端子と電源間をスイッチで開閉可能にし、ICカードが挿入されたときにのみ前記スイッチを閉じる構成にすることで、ICカード以外の導電部材によって前記電源供給用端子がアース端子とショートせず、挿入時のトラブルを防止することを目的とする。

ランプ5cはエラー状態(ERROR)を示すものである。

第2図に本発明の適用されるICカードの平面図を掲げる。

同図において、3はカード本体を表わし、図示する如く、前記カード本体3上には8ピン(PIN)から成るコンタクト端子6が形成されている。

ここで、前記ICカード3の回路構成につき、第3図を用いて説明する。

ICカード3は、内部に中央処理装置CPU及びEPROMを含むメモリから成る本体回路3aを有する。

そして、前記本体回路3aには、前述したコンタクト端子6を有する配線が接続されている。

コンタクト端子6の各端子6a乃至6hの内容は下表の通りである。

<実施例>

以下、本発明の構成を実施例に即して説明する。

第1図は本発明の実施例に係るICカードの処理装置を含むシステムを示すもので、図中、1が処理装置である。

前記処理装置1は、前側面にICカード挿入孔2を有し、ICカード3が前記挿入孔2から処理装置1の内部に挿入される。

前記処理装置1は、挿入されたICカード3からデータ読出を行ったり、或いは前記ICカード3に対してデータ読出を行う。

又、図中、4は前記処理装置1と電氣的に接続されるICカード用端末機で、例えば、パーソナルコンピュータやPOSレジスタ等から成る。

前記処理装置1には、3つの表示ランプ5a、5b、5cが設けられている。前記表示ランプ5aは処理装置1の準備完了(READY)を示すもので、又、前記表示ランプ5bは挿入されたICカード3に対して読出、書込を実行していること(BUSY)を示すもので、さらに、前記表示

端子	内 容
6a	EPROM書込電圧Vpp(21V)
6b	クロック(CLOCK)端子
6c	入出力(I/O)端子
6d	CPU電源Vcc(5V)
6e	リセット(RESET)端子
6f	アース(GND)端子
6g	ICカード確認用端子
6h	ICカード確認用端子

表

上表で明らかな様に、本実施例では、端子6g及び6hをICカード確認用端子としている。そして、両端子6g、6hの間に発光ダイオードLED(発光素子)7を挿入し、前記発光ダイオード7と各端子6g、6hとを接続した。又、一方の端子6hは前記アース(GND)端子6fの

配線と接続している。

前記ICカード3の端子に対応させて処理装置1の回路を第4図の通り形成する。

同図において、8a乃至8hは処理装置1に設けられた端子であって、前記ICカード3が挿入されたときに、当該ICカードの端子6a乃至6hが、夫々、前記端子8a乃至8hと接続する。

又、端子8gの配線は前記端子8dを電源11と接続するための配線と接続されている。

前記ICカード3の端子6aと接触する端子8aは、当該ICカード3の本体回路3aのEPR-OM書き込み電圧を供給するための電源供給用端子であり、又、当該ICカードの端子6dと接触する端子8dは、当該ICカード3の本体回路3aのCPU電源を供給する電源供給用端子である。

そして、図中、9は遅延回路であって、当該遅延回路9にはフォトトランジスタ(受光素子)10が接続されると共に、前記端子8aと前記処理装置1内に内蔵されている電源11間を開閉するリ

8g及び6gが接触することによって電流が前記発光ダイオード7を流れ、これによって起こる当該発光ダイオード7が発光し、当該発光ダイオード7の発光が前記フォトトランジスタ10によって受光される。

受光により前記フォトトランジスタ10が導通すると、当該フォトトランジスタ10から信号が前記遅延回路9に出力される。

その結果、前記遅延回路9は動作し、2つのリードスイッチ12及び13を共にONとする。

この結果、前記ICカード3の端子6a及び6dは、前記処理装置1の電源と電氣的に接続し各端子6a及び6dから電源供給を受け、前記ICカード3の本体回路3aが駆動を開始する。なお、当該本体回路3の動作時には他の端子配線も利用される。

かかる構造のため、仮に、前記処理装置1に対して、ICカード3の代わりに、鉄板等のカード状導電部材を挿入したとしても、前記フォトダイオード10が発光を検知することがないため、前

ードスイッチSW12及び前記端子8dと前記電源11間を開閉するリードスイッチSW13にも接続されている。

前記2つのリードスイッチ12及び13は、前記遅延回路9が動作したことに応答してONとなる(閉じる)もので、当該遅延回路9が動作しないときは、両リードスイッチ12、13はOFF状態にある(開いている)。

そして、本実施例では、前記ICカード3を前記処理装置1に挿入して、当該ICカード3の各端子6a乃至6hが、夫々、当該処理装置1の各端子8a乃至8hと接触した後、前記ICカード3の発光ダイオード7が発光したことを検知することによって、前記リードスイッチ12、13をONさせ、これによって、前記ICカード3の本体回路3aにEPR-OM書き込み電圧及びCPU電源を自動的に供給することとした。

即ち、前記処理装置1のフォトトランジスタ9は、前記発光ダイオード7の発光を検知できる位置に設置されている。そして、挿入時に、端子

遅延回路9が動作せず、ゆえに、前記リードスイッチ11及び12はOFF状態となったままとなつて、前記端子8a、端子8d並びに端子8f間がショートしない。

なお、前記ICカード3を前記処理装置1に挿入した後、当該ICカード3を前記処理装置1から抜き取るまでは、前記発光ダイオード7の発光が継続し、これに伴って、前記フォトトランジスタ10が当該発光ダイオード7の発光を受光し、前記遅延回路9は前記リードスイッチ12及び13をON状態に維持する。しかし、前記ICカード3を前記処理装置1から抜き去ったときは、前記フォトトランジスタ10の受光が成されず、この結果、前記遅延回路9が動作を停止し、前記リードスイッチ12及び13は共にOFF状態に復帰する。

上述した如く、本実施例は、前記ICカード3のノンコネクタ端子6g及び6h、並びに前記処理装置1のノンコネクタ端子8g及び8hを利用して、ICカードの判別回路、即ち処理装置1に

挿入されたカード状部材がＩＣカードであるか否か確認する回路を形成している。

<効 果>

以上の様に本発明によれば、ＩＣカードが挿入され、当該ＩＣカードに対してデータの書込、読出を行う処理装置において、電源と、前記ＩＣカードの挿入時に当該ＩＣカードの回路と接続する電源供給用端子と、前記電源と前記電源供給端子間を開閉するスイッチと、ＩＣカードが挿入されたときに前記スイッチを閉成するスイッチ閉成手段を具備するから、挿入されたものがＩＣカードではないときは、前記スイッチが開成状態にありこれによって前記電源供給用端子が前記電源と電気的に分離されるため、処理装置の電源電力が前記電源供給用端子とアース端子間に印加されることがなく、その間四ショートが発生しないため、カード挿入時のトラブルを防げる。

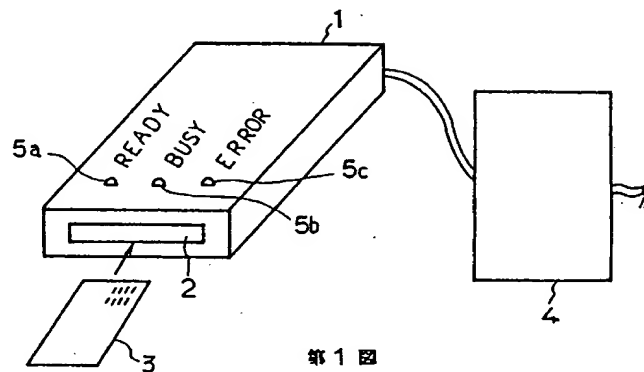
4. 図面の簡単な説明

第１図は本発明の実施例に係るＩＣカードの処理装置を含むシステム構成図、第２図は前記処理

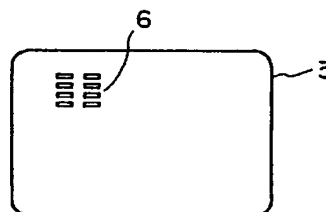
に挿入されるＩＣカードの平面図、第３図は本発明の適用されるＩＣカードの回路図、第４図は本発明の実施例に係る処理装置の回路図、第５図は従来のＩＣカードの回路図、第６図は従来の処理装置の回路図である。

- 1…ＩＣカードの処理装置、2…挿入孔、
3…ＩＣカード、7…発光ダイオード、
8a, 8d…電源供給用端子、8f…アース端子、9…遅延回路、10…フォトトランジスタ、
11…電源、12, 13…リードスイッチ。

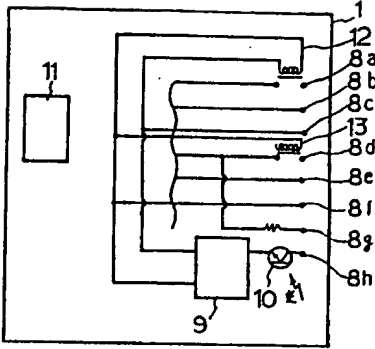
代理人 弁理士 杉 山 毅 至 (他1名)



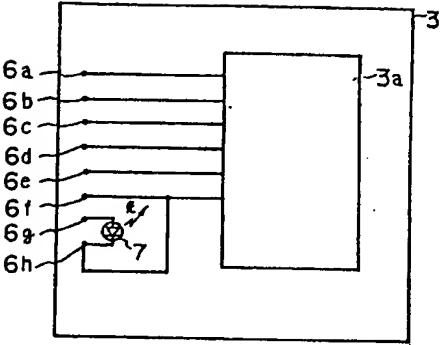
第1図



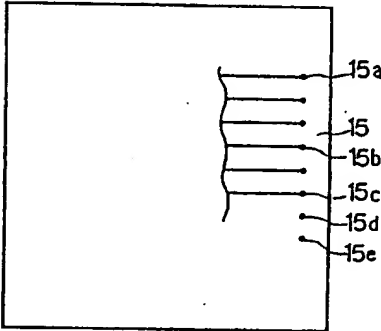
第2図



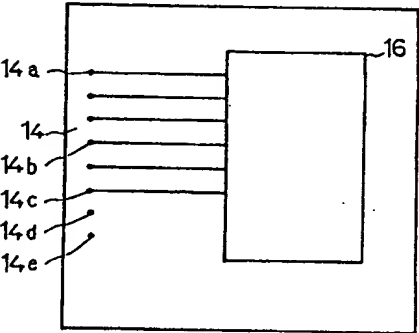
第4圖



第3圖



第6圖



第5圖